

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-017024

(43)Date of publication of application : 22.01.1999

(51)Int.Cl.

H01L 21/8238

H01L 27/092

H01L 21/265

H01L 21/3065

H01L 29/78

(21)Application number : 09-168791

(71)Applicant : SONY CORP

(22)Date of filing : 25.06.1997

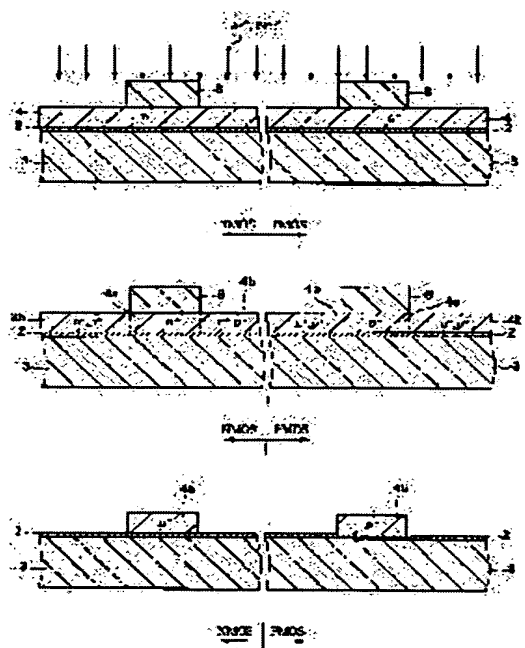
(72)Inventor : NAKAYAMA SO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of manufacturing a semiconductor device which lessens such troubles that the etching residues of a gate electrode-forming material appear on a gate insulation film of one transistor, or the gate insulation film is broken at etching for forming gate electrodes, and which permits the etching process margin to increase.

SOLUTION: The method of manufacturing a semiconductor device having an NMOS transistor having an n-type gate electrode, and PMOS transistor having a p-type gate electrode on the same substrate, comprises implanting ions of impurities in etching regions 4b of a gate electrode layer 4 formed on a semiconductor substrate 3 through a gate insulation layer 2, so that the impurity compsns. of the regions 4b are equal or nearly equal, and etching the regions 4b to form specified pattern of gate electrodes 4a.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-17024

(43)公開日 平成11年(1999) 1月22日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 21/8238
27/092
21/265
21/3065
29/78

H 0 1 L 27/08 3 2 1 D
21/265 W
21/302 N
29/78 3 0 1 G

審査請求 未請求 請求項の数12 O L (全 9 頁)

(21)出願番号 特願平9-168791

(22)出願日 平成9年(1997) 6月25日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 中山 創

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

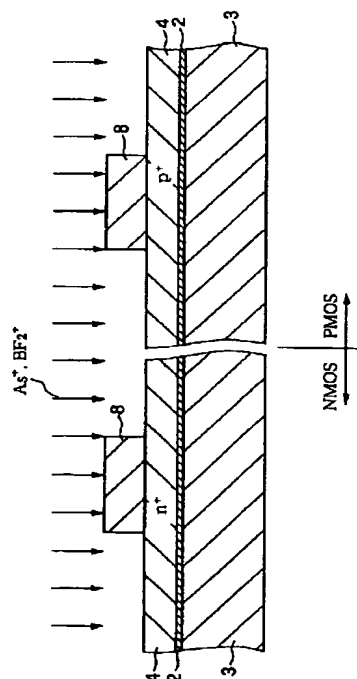
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】ゲート電極形成時のエッチング加工において、一方のトランジスタのゲート絶縁膜上にゲート電極を構成する材料のエッチング残渣が生じたり、あるいはゲート絶縁膜が破壊されたりする不具合を低減可能で、エッチング加工時のプロセスマージンを拡大することが可能な半導体装置の製造方法を提供する。

【解決手段】n型ゲート電極を有するNMOSおよびp型ゲート電極を有するPMOSTランジスタを同一基板に有する半導体装置の製造方法であって、ゲート絶縁層2を介して半導体基板3上に形成されたゲート電極層4のエッチング加工によって除去される各除去領域4bに、各除去領域4bの不純物組成を相互に等しくまたは近似させるように不純物をイオン注入法によって導入し、その後当該除去領域4bをエッチング加工して除去し、所定パターンのゲート電極4aを形成する。



【特許請求の範囲】

【請求項 1】互いに異なる導電型の絶縁ゲート型電界効果トランジスタを同一基板に有し、かつ当該トランジスタの導電型と同じ導電型の不純物がゲート電極に導入された半導体装置の製造方法であって、

ゲート絶縁層を介して半導体基板上に形成されたゲート電極層のエッチング加工によって除去される各除去領域に、当該各除去領域の不純物組成を相互に等しくまたは近似させるように不純物をイオン注入法によって導入し、

その後当該除去領域をエッチング加工して除去し、所定パターンのゲート電極を形成する半導体装置の製造方法。

【請求項 2】半導体基板上にゲート絶縁膜を形成するゲート絶縁膜形成工程と、

前記ゲート絶縁膜上にゲート電極層を形成するゲート電極層形成工程と、

前記ゲート電極層の n 型の絶縁ゲート型電界効果トランジスタおよび p 型の絶縁ゲート型電界効果トランジスタを形成する各領域の少なくとも一方の領域に対応する導電型の不純物をイオン注入法によって導入する第 1 のイオン注入工程と、

前記ゲート電極層上に所定のゲート電極パターンからなるマスク層を形成するマスク層形成工程と、

前記マスク層をマスクとして、前記ゲート電極層の除去領域に不純物を再度イオン注入法によって導入する第 2 のイオン注入工程と、

前記マスク層をマスクとして前記ゲート電極層の除去領域をエッチング加工してゲート電極を形成するエッチング工程とを有する請求項 1 に記載の半導体装置の製造方法。

【請求項 3】前記第 1 のイオン注入工程において、前記ゲート電極層の n 型の絶縁ゲート型電界効果トランジスタの形成領域には n 型の不純物を導入し、p 型の絶縁ゲート型電界効果トランジスタの形成領域には p 型の不純物を導入し、

前記第 2 のイオン注入工程においては、前記ゲート電極層のすべての除去領域に前記第 1 のイオン注入工程において用いた p 型不純物および n 型不純物の双方を導入する請求項 2 に記載の半導体装置の製造方法。

【請求項 4】前記第 1 のイオン注入工程において、前記ゲート電極層の n 型の絶縁ゲート型電界効果トランジスタの形成領域には n 型の不純物を導入し、p 型の絶縁ゲート型電界効果トランジスタの形成領域には p 型の不純物を導入し、

前記第 2 のイオン注入工程においては、前記ゲート電極層のすべての除去領域に前記第 1 のイオン注入工程において用いた p 型不純物および n 型不純物のいずれか一方を導入する請求項 2 に記載の半導体装置の製造方法。

【請求項 5】前記第 1 のイオン注入工程における不純物

のドーズ量よりも前記第 2 の不純物のイオン注入工程のドーズ量を大きくする請求項 2 に記載の半導体装置の製造方法。

【請求項 6】前記第 2 のイオン注入工程においては、前記第 1 のイオン注入工程において用いた不純物とは異なる種類の不純物を前記ゲート電極層の除去領域に導入する請求項 2 に記載の半導体装置の製造方法。

【請求項 7】前記第 2 のイオン注入工程に用いる不純物は、前記第 1 のイオン注入工程に用いた不純物よりも前記ゲート電極層の除去領域のエッチング速度を支配する不純物である請求項 6 に記載の半導体装置。

【請求項 8】前記マスク層形成工程において、前記マスク層をフォトリソグラフィによって形成する請求項 2 に記載の半導体装置の製造方法。

【請求項 9】前記第 1 のイオン注入工程において、前記ゲート電極層の p 型の絶縁ゲート型電界効果トランジスタ形成領域に p 型不純物を導入し、n 型の絶縁ゲート型電界効果トランジスタ形成領域に n 型不純物を導入し、前記第 2 のイオン注入工程においては、前記ゲート電極層の p 型の絶縁ゲート型電界効果トランジスタ形成領域の除去領域に前記第 1 のイオン注入工程で用いた n 型不純物を同じドーズ量で導入し、n 型の絶縁ゲート型電界効果トランジスタ形成領域の前記除去領域に前記第 1 のイオン注入工程で用いた p 型不純物を同じドーズ量でイオン注入する請求項 2 に記載の半導体装置の製造方法。

【請求項 10】前記マスク層形成工程では、前記マスク層を無機材料で形成する請求項 9 に記載の半導体装置の製造方法。

【請求項 11】前記第 1 のイオン注入工程において、p 型不純物にボロン、n 型不純物に砒素を用いる請求項 2 に記載の半導体装置の製造方法。

【請求項 12】前記第 1 のイオン注入工程において、p 型不純物にボロン、n 型不純物に砒素を用い、前記第 2 のイオン注入工程において、不純物として燐を用いる請求項 6 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CMOS (Complementary MOS) 等の同一基板に異なる導電型の絶縁ゲート型電界効果トランジスタを有する半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体装置における素子寸法の微細化の時流に伴い、理想的なゲート電極を得る加工プロセスは難しいものになってきている。その原因として、ゲート長の短縮化に伴うリソグラフィ技術の困難さに加えて、ゲート電極のエッチングプロセス自体もまたいくつかの課題を抱えていることが挙げられる。

【0003】例えば、n チャネル MOS トランジスタ (以下、NMOS という) および p チャネル MOS トラ

ンジスタ（以下、PMOSという）が混在した半導体装置の場合、ゲート電極の低抵抗化およびしきい値電圧制御性能の観点から、NMOSのゲート電極に対してはn型不純物、PMOSのゲート電極に対してはp型不純物をイオン注入する場合がある。図12は、エッチング加工によりゲート電極を形成する際の様子を示す説明図であって、図12(a)はNMOSの場合であり、図12(b)はPMOSの場合である。図12において、半導体基板103上にはゲート絶縁膜102を介して例えばポリシリコンからなるゲート電極層105が形成される。このゲート電極層105の形成後、上記したように、NMOSに対してはn型不純物、PMOSに対してはp型不純物がイオン注入される。各不純物のイオン注入が完了すると、ゲート電極層105には、所定のゲート電極パターンからなるレジスト106が形成され、このレジスト106をマスクとしてゲート電極層105の除去領域105aをエッチング加工して除去する。

【0004】このとき、エッチング加工により除去すべき除去領域105aに注入された不純物の種類は、NMOSのゲート電極層105とPMOSのゲート電極層105とでは異なるため、エッチング速度が互いに異なることになる。

【0005】

【発明が解決しようとする課題】このため、一方のゲート電極におけるエッチング速度から見積もったエッチング時間によってエッチング加工を行うと、他方のゲート電極においては、当該他方のゲート電極層105のエッチング速度が一方よりも遅い場合にはエッチング残渣が生じたり、逆に速い場合にはゲート絶縁膜102が破壊する等の問題が起りやすく、プロセスマージンが極めて狭いものになっている。特に、ゲート絶縁膜102の破壊は、ゲート絶縁膜102が薄くなるにしたがって起りやすく、微細化が進むにしたがってシビアになることが予測される。

【0006】本発明は、上記したようなゲート電極形成時のエッチング加工において、一方のトランジスタのゲート絶縁膜上にゲート電極を構成する材料のエッチング残渣が生じたり、あるいはゲート絶縁膜が破壊されたりする不具合を低減可能で、エッチング加工時のプロセスマージンを拡大することが可能な半導体装置の製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明に係る半導体装置の製造方法は、互いに異なる導電型の絶縁ゲート型電界効果トランジスタを同一基板に有し、かつ当該トランジスタの導電型と同じ導電型の不純物がゲート電極に導入された半導体装置の製造方法であって、ゲート絶縁層を介して半導体基板上に形成されたゲート電極層のエッチング加工によって除去される各除去領域に、当該各除去領域の不純物組成を相互に等しくまたは近似させるよう

に不純物をイオン注入法によって導入し、その後に当該除去領域をエッチング加工して除去し、所定パターンのゲート電極を形成する。

【0008】本発明では、ゲート電極層のエッチング加工によって除去される除去領域に不純物をイオン注入法によって導入し、ゲート絶縁層の各除去領域の不純物組成を相互に等しくまたは近似させることによって、各除去領域の相互のエッチング速度が等しくまたは近接することになる。この結果、互いに異なる導電型の絶縁ゲート型電界効果トランジスタの各々のゲート電極をエッチング加工によって形成する際に、双方のゲート電極層のエッチング速度が等しくまたは近接し、いずれか一方のゲート絶縁膜上にゲート電極を構成する材料のエッチング残渣が生じたり、あるいはいずれか一方のゲート絶縁膜が破壊されたりする不具合が解消される。

【0009】本発明に係る半導体装置の製造方法は、前記第1のイオン注入工程において、前記ゲート電極層のn型の絶縁ゲート型電界効果トランジスタの形成領域にはn型の不純物を導入し、p型の絶縁ゲート型電界効果トランジスタの形成領域にはp型の不純物を導入し、前記第2のイオン注入工程においては、前記ゲート電極層のすべての除去領域に前記第1のイオン注入工程で用いたp型不純物およびn型不純物の双方を導入する。これにより、ゲート電極層の各除去領域の不純物組成は同一にはならないが、不純物組成が近似することになる。

【0010】前記第1のイオン注入工程において、前記ゲート電極層のn型の絶縁ゲート型電界効果トランジスタの形成領域にはn型の不純物を導入し、p型の絶縁ゲート型電界効果トランジスタの形成領域にはp型の不純物を導入し、前記第2のイオン注入工程においては、前記ゲート電極層のすべての除去領域にp型不純物およびn型不純物のいずれか一方を導入することも可能である。この場合に、前記第1のイオン注入工程における不純物のドーズ量よりも前記第2の不純物のイオン注入工程のドーズ量を大きくして、除去領域における不純物の濃度を十分に大きくすれば、各除去領域におけるエッチング速度に大きく寄与する不純物組成が相互に近似し、各除去領域におけるエッチング速度を同等にすることができる。

【0011】前記第2のイオン注入工程においては、前記第1のイオン注入工程において用いた不純物とは異なる種類の不純物を前記ゲート電極層の除去領域に導入することも可能である。この場合、第1イオン注入工程において、p型不純物にボロン、n型不純物に砒素を用い、第2イオン注入工程において、不純物として燐を十分量用いれば、十分量の燐はこれに比較して少量の砒素およびボロンよりもエッチング速度の支配力が大きいいため、各除去領域におけるエッチング速度を同等にすることができる。

【0012】本発明に係る半導体装置の製造方法は、前

記第1のイオン注入工程において、前記ゲート電極層のp型の絶縁ゲート型電界効果トランジスタ形成領域にp型不純物を導入し、n型の絶縁ゲート型電界効果トランジスタ形成領域にn型不純物を導入し、前記第2のイオン注入工程においては、前記ゲート電極層のp型の絶縁ゲート型電界効果トランジスタ形成領域の除去領域に前記第1のイオン注入工程で用いたn型不純物を同じドーズ量で導入し、n型の絶縁ゲート型電界効果トランジスタ形成領域の前記除去領域に前記第1のイオン注入工程で用いたp型不純物を同じドーズ量でイオン注入する。

【0013】これにより、PMOSおよびNMOSのゲート電極層の各除去領域の不純物組成を同一にすることができ、各除去領域のエッチング速度を同一とすることができる。

【0014】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

第1実施形態

図1～図6は、本発明の第1実施形態に係る半導体装置の製造工程を示す説明図である。また、本実施形態は、本発明の具体的な適用例として、いわゆるDual Gate 構造のCMOS型の半導体装置の場合について説明する。

前工程

まず、シリコンウェハ等の半導体基板3を準備し、半導体基板3にnチャネルを有するMOSトランジスタ（以下、NMOSという）及びpチャネルを有するMOSトランジスタ（以下、PMOSという）の能動領域として、ウェルを形成し、半導体基板3の各トランジスタ領域境界部分に、厚い酸化膜からなる素子分離領域を形成し、各トランジスタ領域間を分離する。

【0015】ゲート絶縁膜およびゲート電極層形成工程
次いで、図1に示すように、上記の半導体基板3上に、ゲート絶縁膜2を形成する。ゲート絶縁膜2は、例えば、 SiO_2 を熱酸化法によって半導体基板3上に形成する。次いで、ゲート絶縁膜2上には、例えばポリシリコンからなるゲート電極層4をCVD法によって形成する。

【0016】第1イオン注入工程

次いで、ゲート電極層4のNMOSの形成領域にはn型不純物をイオン注入し、PMOSの形成領域にはp型不純物をイオン注入する。ゲート電極層4のNMOSの形成領域へのn型不純物の打ち込みは、図2に示すように、PMOSの形成領域をレジスト5によってマスクした状態で行う。例えば、イオン種として砒素イオン（ As^+ ）を用い、エネルギー；10～40KeV、ドーズ量； $1 \times 10^{13} \sim 1 \times 10^{15} / \text{cm}^2$ で打ち込む。これにより、ゲート電極層4のNMOSの形成領域の導電化は行われる。

【0017】一方、ゲート電極層4のPMOSの形成領域へのp型不純物の打ち込みは、図3に示すように、図

2に示した工程を経たNMOSの形成領域をレジスト6によってマスクした状態で行う。例えば、イオン種としてフッ化ホウ素イオン（ BF_3^+ ）を用い、エネルギー；10～40KeV、ドーズ量； $1 \times 10^{13} \sim 1 \times 10^{15} / \text{cm}^2$ で打ち込む。これにより、ゲート電極層4のPMOSの形成領域の導電化は行われる。

【0018】マスク層形成工程

次いで、ゲート電極層4上にゲート電極パターンからなるゲート電極形成用のマスク層8を形成する。マスク層8は、フォトリソグラフィ法を用いて、図4に示すように、ゲート電極パターンからなるレジストをNMOSおよびPMOS形成領域の双方に形成する。

【0019】第2イオン注入工程

次いで、上記のマスク層8をマスクとして、ゲート電極層4の全面に向けて不純物を再度イオン注入する。打ち込む不純物には、上記した第1イオン注入工程において用いた不純物を用いる。すなわち、イオン種として As^+ および BF_3^+ の両方を用い、各イオン種を順次打ち込む。このとき、 As^+ および BF_3^+ のドーズ量を、第1イオン注入工程におけるドーズ量の例えば数倍程度の十分大きなドーズ量とする。 As^+ および BF_3^+ を打ち込むことにより、図5に示すように、ゲート電極層4のマスク層8によってマスクされていない除去領域4bには、n型不純物およびp型不純物が混在して導入された状態となる。このゲート電極層4の除去領域4bにおけるn型およびp型不純物の組成は、NMOS形成領域とPMOS形成領域では厳密には異なるが、 As^+ および BF_3^+ のドーズ量を、第1イオン注入工程におけるドーズ量よりも十分大きなドーズ量としているため、両者の組成は近似したものとなる。本実施形態では、ゲート電極層4の除去領域4bにおける不純物組成が、NMOS形成領域とPMOS形成領域で全く同一である必要はなく、NMOS形成領域とPMOS形成領域の除去領域4bのその後のエッチング加工の際のエッチング速度が略等しくなる程度あればよい。

【0020】エッチング工程

次いで、上記のマスク層8をマスクとしてゲート電極層4の除去領域4bをエッチング加工してゲート電極を形成する。ゲート電極層4をマスク層8をマスクとしてエッチングすると、NMOS形成領域とPMOS形成領域の除去領域4bのエッチング速度は、両者の不純物の組成が近似しているため、略等しくなり、両者の除去領域4bのエッチングに要する時間は略等しくなる。このため、NMOS形成領域とPMOS形成領域の除去領域4bのエッチングを同時に開始した場合、一方のゲート絶縁膜2上にエッチング残渣が生じたり、ゲート絶縁膜2が破壊されにくくなり、プロセスマージンが拡大することになる。エッチングを所定の時間行くと、図6に示すように、n型およびp型のゲート電極4aがNMOSとPMOSとの双方に形成される。

【0021】後続工程

NMOSおよびPMOSのゲート電極4aの形成が完了すると、その後は通常の製造工程にしたがって、半導体基板3のゲート電極4aの両側にソース・ドレイン領域を形成し、ソース電極およびドレイン電極を取り付け等の工程を経て半導体装置が完成する。

【0022】以上のように本実施形態に係る半導体装置の製造方法によれば、NMOSおよびPMOSのそれぞれのゲート電極4aをエッチングによって形成する際に、ゲート電極層4の除去領域4bの不純物組成がNMOS形成領域とPMOS形成領域で近似しているため、エッチング工程における除去領域4bのエッチング速度をNMOS形成領域とPMOS形成領域とで略等しくすることができる。このため、ゲート絶縁膜2上にゲート電極を構成する材料のエッチング残渣が生じたり、あるいはゲート絶縁膜2が破壊されたりする不具合を低減することができ、エッチング加工時のプロセスマージンを拡大することが可能である。また、本実施形態では、第2イオン注入工程において、ゲート電極を形成するためのマスク層8を利用してゲート電極層4の除去領域4bへの選択的な不純物の導入を行うため、フォトリソグラフィを再度行う必要はなく、従来の製造工程にイオン注入のみを行う第2イオン注入工程を追加するのみでプロセスマージンの拡大を図ることができる。

【0023】第2実施形態

図7および図8は、本発明の第2の実施形態に係る半導体装置の製造方法の要部を示す断面図である。第2の実施形態に係る半導体装置の製造方法は、第1の実施形態の半導体装置の製造方法のマスク層形成工程までは同一の工程である。本実施形態では、第2イオン注入工程において、ゲート電極層4上にゲート電極パターンからなるゲート電極形成用のマスク層8を形成した状態で、ゲート電極層4の全面に向けて燐イオン(P⁺)を上記のAs⁺およびBF₃⁺のドーピング量よりも多く(例えば、数倍程度)打ち込む。これにより、図8に示すように、ゲート電極層4の除去領域4bは、NMOS側ではAs⁺とP⁺からなるn型のみの不純物組成となり、PMOS側ではBF₃⁺およびP⁺からなるn型およびp型が混在した状態となり、同時にNMOS形成領域およびPMOS形成領域の双方における除去領域4bの不純物組成はP⁺が大部分を占めることになり、両者の不純物組成は近似したものとなる。

【0024】したがって、NMOS形成領域およびPMOS形成領域の双方における除去領域4bのエッチング速度は、十分量のP⁺によって支配的となるため、両者のエッチング速度は略等しくなる。これにより、上記した第1実施形態の場合と同様の効果が奏されることになる。

【0025】なお、本実施形態では、P⁺を打ち込む場合について説明したが、本発明はこれに限定されるわけ

ではなく、第1イオン注入工程において導入するp型およびn型不純物よりも、ゲート電極層4のエッチング速度に対する支配力が大きい不純物であればよい。

【0026】第3実施形態

図9～図11は、本発明の第3の実施形態に係る半導体装置の製造方法の要部を示す断面図である。本発明の第3の実施形態に係る半導体装置の製造方法は、第1実施形態と第1イオン注入工程までは全く同じである。上記第1および第2の実施形態では、マスク層8をフォトリソグリストによって形成したが、本発明の第3の実施形態に係る半導体装置の製造方法では、マスク層8を、例えばSiO₂等の無機材料から形成する。このマスク層8は、エッチングによりゲート電極を形成する際にマスクとして機能するとともに、ゲート電極の両側に形成されるサイドウォールスペーサのためのオフセット酸化膜として機能する。

【0027】図9に示すように、NMOS形成領域およびPMOS形成領域上にSiO₂からなるマスク層18を形成する。マスク層18はゲート電極のパターンに形成されているが、この形成は、例えばCVD法によってSiO₂膜18をゲート電極層4上に形成し、このSiO₂膜18上にリソグラフィによってレジストパターンを形成したのち、SiO₂膜18をゲート電極パターンにエッチングする。

【0028】そして、図9に示すように、PMOS形成領域にリソグラフィによってフォトリソグリストを形成し、これをマスクとして全面にBF₃⁺をイオン注入する。このときのイオン注入条件は、エネルギーおよびドーピング量とともに、第1イオン注入工程の場合と同じにする。これによって、図9に示すように、NMOS形成領域のゲート電極層4の除去領域4bには、n型およびp型の不純物が混在することになる。

【0029】次いで、図10に示すように、NMOS形成領域にリソグラフィによってフォトリソグリストを形成し、これをマスクとして全面にAs⁺をイオン注入する。このときのイオン注入条件も、エネルギーおよびドーピング量とともに、第1イオン注入工程の場合と同じにする。これによって、図10に示すように、PMOS形成領域のゲート電極層4の除去領域4bには、n型およびp型の不純物が混在することになり、かつPMOS形成領域およびNMOS形成領域それぞれのゲート電極層4の除去領域4bの不純物組成は同一になる。

【0030】PMOS形成領域およびNMOS形成領域それぞれのゲート電極層4の除去領域4bの不純物組成が同一の状態、当該除去領域4bをエッチング加工すると、エッチング速度を最も理想的な状態とすることができる。すなわち、上記第1および第2実施形態と比較して、PMOS形成領域およびNMOS形成領域でのゲート電極層4のエッチング速度が一層均一化される。なお、ゲート電極層4のエッチングが完了した後、所定の

工程を経てサイドウォールスペース22を形成した状態を図11に示す。

【0031】以上のように、マスク層8をフォトリソで形成した場合には、マスク層8をパターンニングした状態でNMOS形成領域およびPMOS形成領域に不純物をうち分けるためのレジストをさらに重ねてパターンニングし、イオン注入およびエッチングすることは難しいが、本実施形態では、マスク層8が例えばSiO₂等の無機材料から形成されているため、これが可能となり、PMOS形成領域およびNMOS形成領域でのゲート電極層4のエッチング速度をより一層均一化することができる。

【0032】第4実施形態

上記第1および第2の実施形態では、ゲート電極層4のNMOSの形成領域およびPMOSの形成領域に、それぞれn型不純物およびp型不純物をイオン注入した後、ゲート電極層4を所定のゲート電極パターンにエッチングし、その後に、半導体基板3にソース・ドレイン領域を形成する場合について説明した。しかしながら、ゲート電極層4のPMOSの形成領域に、既にボロン(B)が打ち込まれていると、ソース・ドレイン領域を形成するまでに、Bがゲート絶縁膜2を突き抜けてしまうおそれがある。

【0033】このため、本実施形態では、上記した第1イオン注入工程において、ゲート電極層4にn型の不純物である砒素(As)のみを打ち込む。すなわち、第1イオン注入工程においては、ゲート電極層4のNMOSの形成領域にのみ不純物を打ち込み、ソース・ドレイン領域を形成する際にPMOSのゲート電極に一括してBをイオン注入する。これにより、第1イオン注入工程においてゲート電極層4にBが導入されていないために、ソース・ドレイン領域を形成するまでにBの突き抜けが発生するのを防止することができる。

【0034】

【発明の効果】本発明によれば、それぞれ異なるエッチングレートをもつNMOSおよびPMOSのゲート電極*

のエッチング加工を容易にすることができ、プロセスマージンを拡大することができる。また、本発明によれば、従来の製造工程に第1のイオン注入工程を1回追加するのみでプロセスマージンを拡大することができ、リソグラフィを利用しないため、工程数の増加を最小限に抑えることができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る半導体装置の製造工程を示す説明図である。

10 【図2】図1に続く本発明の第1実施形態に係る半導体装置の製造工程を示す説明図である。

【図3】図2に続く本発明の第1実施形態に係る半導体装置の製造工程を示す説明図である。

【図4】図3に続く本発明の第1実施形態に係る半導体装置の製造工程を示す説明図である。

【図5】図4に続く本発明の第1実施形態に係る半導体装置の製造工程を示す説明図である。

【図6】図5に続く本発明の第1実施形態に係る半導体装置の製造工程を示す説明図である。

20 【図7】本発明の第2実施形態に係る半導体装置の製造工程を示す説明図である。

【図8】図7に続く本発明の第2実施形態に係る半導体装置の製造工程を示す説明図である。

【図9】本発明の第3実施形態に係る半導体装置の製造工程を示す説明図である。

【図10】図9に続く本発明の第3実施形態に係る半導体装置の製造工程を示す説明図である。

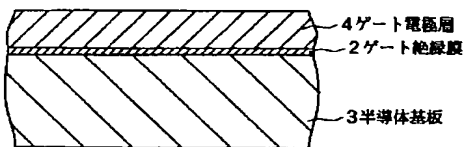
【図11】図10に続く本発明の第3実施形態に係る半導体装置の製造工程を示す説明図である。

30 【図12】従来のNMOSおよびPMOSを有する半導体装置の製造方法の一例を示す説明図である。

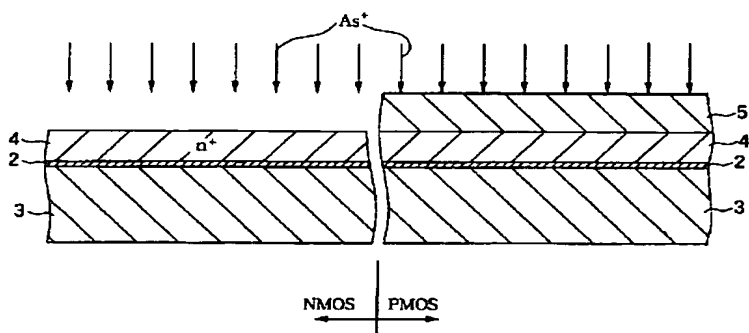
【符号の説明】

2…ゲート絶縁膜、3…半導体基板、4…ゲート電極層、4a…ゲート電極形成領域、4b…除去領域、5、6…レジスト、8…レジスト。

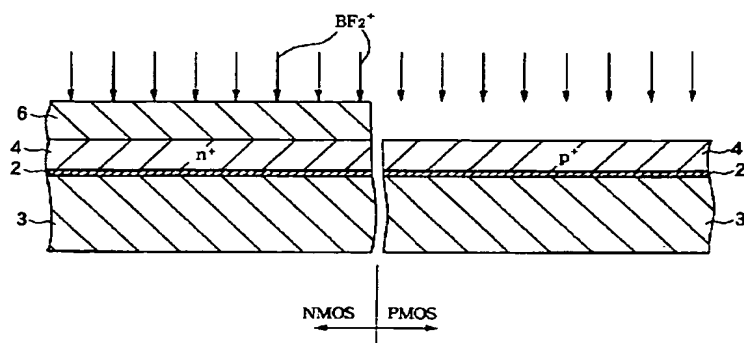
【図1】



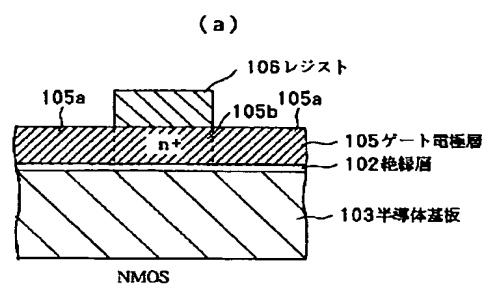
【図2】



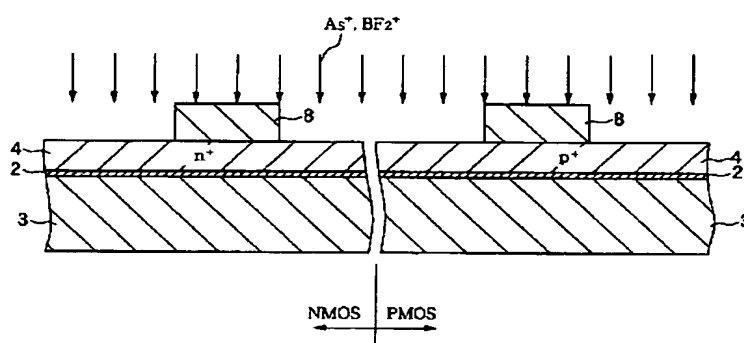
【図3】



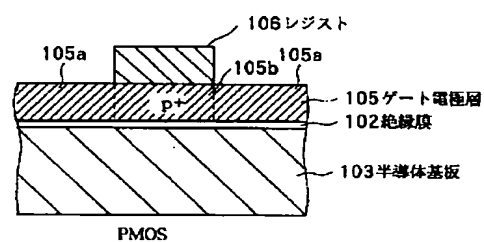
【図12】



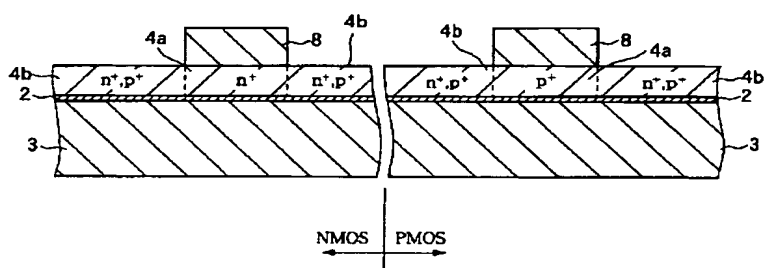
【図4】



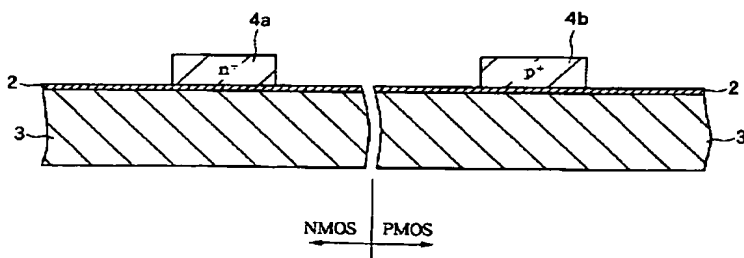
(b)



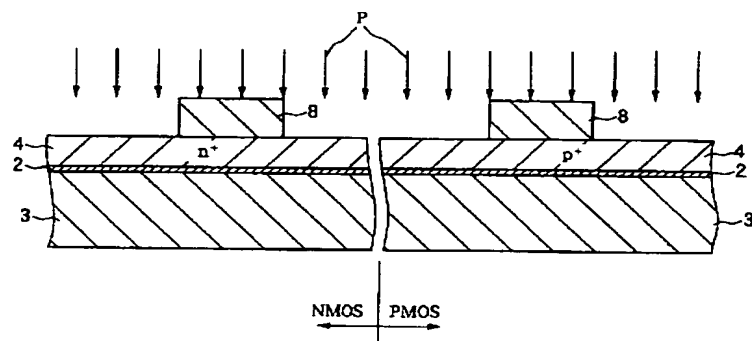
【図5】



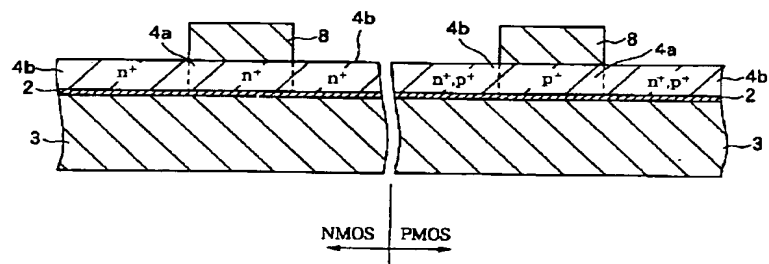
【図6】



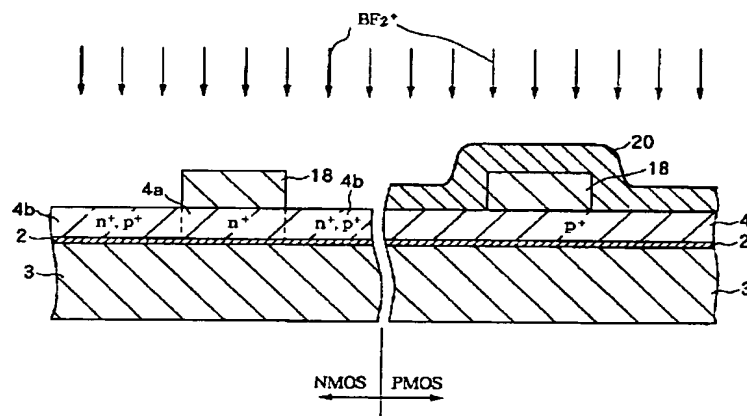
【図7】



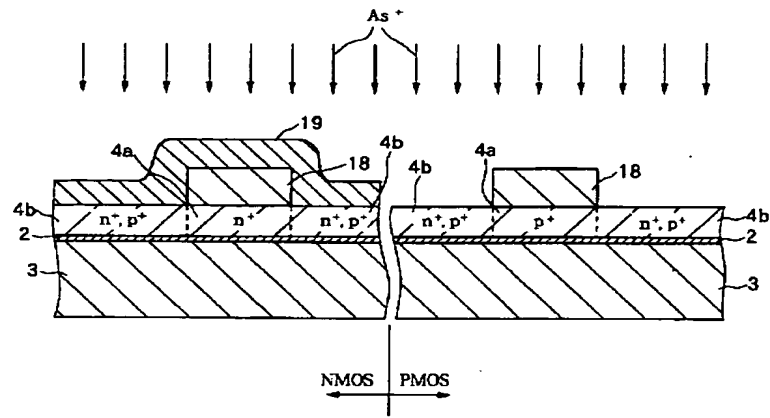
【図8】



【図9】



【図10】



【図11】

